

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-055932

(43)Date of publication of application : 11.03.1991

(51)Int.Cl.

H04L 7/033
H03L 7/06

(21)Application number : 01-192223

(71)Applicant : MEIDENSHA CORP

(22)Date of filing : 25.07.1989

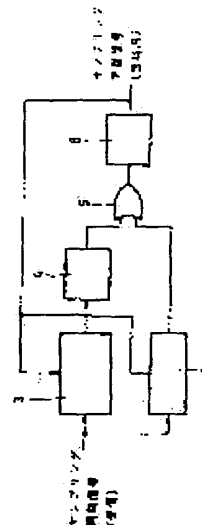
(72)Inventor : MISAWA AKITOMO

(54) SAMPLING SYNCHRONIZING SYSTEM

(57)Abstract:

PURPOSE: To quickly recover synchronization by applying forced synchronization with a synchronizing detection circuit when a phase difference is a setting value or over in the occurrence of out of synchronism and applying subsequent synchronization when the phase difference is within the setting value by using a digital PLL circuit.

CONSTITUTION: When a reception sampling synchronizing signal from a central station is switched for bypass circuit transmission, a reception sampling synchronizing signal after the switching and a sampling synchronizing signal in its own station are in the state of out of synchronism. When a phase difference θ between both the said synchronizing signals is within setting value $\pm\phi$; at this out of synchronism, the phase lock state is obtained by the subsequent synchronization by the digital PLL circuit. When the phase difference exceeds the $\pm\phi$, a divider 6 is forcibly reset by a synchronization detection circuit 7 and the sampling synchronizing signal in its own station is synchronized with the received sampling synchronizing signal. Thus, the synchronization is immediately implemented by the synchronization detection at a large phase difference when the phase difference of out of synchronism exceeds the setting value $\pm\phi$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-55932

⑪ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月11日

H 04 L 7/033
H 03 L 7/06

8949-5K H 04 L 7/02
8731-5J H 03 L 7/06

B
A

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 サンプリング同期方式

⑮ 特 願 平1-192223

⑯ 出 願 平1(1989)7月25日

⑰ 発 明 者 三 澤 明 倫 東京都品川区大崎2丁目1番17号 株式会社明電舎内
⑱ 出 願 人 株 式 会 社 明 電 舎 東京都品川区大崎2丁目1番17号
⑲ 代 理 人 弁 理 士 志 賀 富 士 弥 外 2 名

明 細 書

1. 発明の名称

サンプリング同期方式

2. 特許請求の範囲

(1) 中央局からの受信サンプリング同期信号に
自局内サンプリング同期信号を従属同期させるデ
ィジタルPLL回路と、前記受信サンプリング信
号と自局内サンプリング同期信号との位相差が設
定値以上あるときに前記ディジタルPLL回路の
電圧制御発振信号を強制リセットする同期検定回
路とを備え、同期外れ発生時に位相差が設定値以
上あるときに同期検定回路によって強制同期を行
ない、設定値内にあるときにディジタルPLL回
路によって従属同期を行なうことを特徴とするサ
ンプリング同期方式。

3. 発明の詳細な説明

A. 産業上の利用分野

本発明は、ディジタル保護継電装置のサンプリ
ング同期方式に関する。

B. 発明の概要

本発明は、中央局からの受信サンプリング同期
信号に自局内サンプリング同期信号を従属同期さ
せるサンプリング同期方式において、

同期外れの発生で位相差が設定値以上あるとき
にディジタルPLL回路の強制リセットによって
強制同期を行なうことにより

同期回復を迅速に行なうことができるようにし
たものである。

C. 従来の技術

送電線保護継電装置は、パイロットワイヤ電

流差動リレー方式が知られているが、近年ではデジタルリレー方式のPCM電流差動リレーが多く採用されてきている。このPCM電流差動リレーは、電気所相互間でPCM伝送さらに光PCM伝送方式によってサンプリング電流データを授受し、同時サンプリングによる電流データの比較によって保護演算を行なう。

ここで、同時サンプリングのための同期方式の従来技術は、第4図に示すように、二重化伝送路L₁, L₂をループ状に配置したPCM電流差動リレーシステムではサンプリングデータとサンプリング同期信号を中央局1から送信し、各子局2₁~2_nでは受信したサンプリング同期信号を伝送遅れに相当する時間だけずらした補正と従属同期を行なうことで同時サンプリングを実現してい

らの受信サンプリング同期信号に自局内サンプリング同期信号を従属同期させるデジタルPLL回路と、前記受信サンプリング信号と自局内サンプリング同期信号との位相差が設定値以上あるときに前記デジタルPLL回路の電圧制御発振信号を強制リセットする同期検定回路とを備え、同期外れ発生時に位相差が設定値以上あるときに同期検定回路によって強制同期を行ない、設定値内にあるときにデジタルPLL回路によって従属同期を行なうようにし、受信サンプリング同期信号と自局内サンプリング同期信号の位相ずれが大きいときに強制リセットによって一旦強制同期を行ない、その後は従属同期によって同期状態を維持する。

F. 実施例

る。

D. 発明が解決しようとする課題

従来の同期方式において、伝送路の断線等の伝送障害が起きたとき、ループ伝送では迂回路伝送によってサンプリングデータ及びサンプリング同期信号を送る。このとき、伝送路の切換えによって同期外れを起し、次の同時サンプリング状態に回復するまでの時間が長くなり、その間の同時サンプリングを不能にする。これはリレーでは保護不能時間の発生にもなる。

本発明の目的は、同期回復を迅速に行なうことができるサンプリング同期方式を提供することにある。

E. 課題を解決するための手段

本発明は、上記目的を達成するため、中央局か

第1図は本発明の一実施例を示す同期回路図である。位相比較回路3は中央局から受信したサンプリング同期信号と自局内サンプリング同期信号(50Hz又は60Hz)との位相比較を行ない、同期化回路4に持つチャージポンプと直流フィルタと電圧制御発振器によって同期パルスを生じ、この同期パルスをオアゲート5を通してデバイダ6に与え、デバイダ6で分周して自局のサンプリング同期信号とすると共に位相比較回路3への自局内サンプリング同期信号にする。

上述までの回路要素3, 4及び6はデジタルPLL回路になるもので、受信サンプリング同期信号と自局内サンプリング同期信号とのパルスエッジによる位相比較によってデューティ比に影響されことなく広いキャプチャレンジを持って

従属同期を得る。

次に、同期検定回路7は受信サンプリング同期信号と自局内サンプリング同期信号との同期検定、即ち、両同期信号の位相ずれが設定値 $\pm\phi$ 以上あるか否かを検出し、設定値 $\pm\phi$ 以上あるときにオアゲート5を通してデバイダ6に強制リセット信号を与える。

このような構成において、中央局からの受信サンプリング同期信号が伝送路障害等によって迂回路伝送に切換えられたとき、この切換後の受信サンプリング同期信号と自局内サンプリング同期信号とは同期外れの状態になる。この同期外れにおいて、第2図に示すように受信サンプリング同期信号(同図a)に対する自局内サンプリング同期信号(同図b)の位相差 θ が設定値 $\pm\phi$ 以内にあると

を必要とすることが無くなる。

なお、同期検定回路による強制リセットはデバイダ6に対して行なうに限らず、同期化回路4内の電圧制御発振器に対して強制リセットを行なうなど電圧制御発振信号と同等の信号経路上で行なうことができる。

G. 発明の効果

以上のとおり、本発明によれば、受信サンプリング同期信号に対して自局内サンプリング同期信号の位相外れが大きいときに強制同期によって同期化を行ない、その後に従属同期を行なうようにしたため、従来の従属同期のみによる方式に較べて同期外れ発生から同期までの時間を大幅に短縮することができ、PCM電流差動リレー等のサンプリング同期手段等に利用して保護不能時間を少

きにはデジタルPLL回路による従属同期で位相ロック状態(同図c)を得る。

一方、同期外れが第3図に示すように受信サンプリング同期信号(同図a)に対して自局内サンプリング同期信号(同図b)が設定値 $\pm\phi$ を越えるときには同期検定回路7によってデバイダ6が強制リセットされ、自局内サンプリング同期信号は受信サンプリング同期信号に同期される(同図c)。

この強制リセットによる同期化後はデジタルPLL回路により従属同期制御が行なわれ、同期化状態を維持する。


従って、同期外れの位相差が設定値 $\pm\phi$ 以上になる大きな位相差では同期検定により直ちに同期化が行なわれ、従来のように従属同期のみによる同期化では大きな位相差から同期までの長い時間

なくする効果がある。

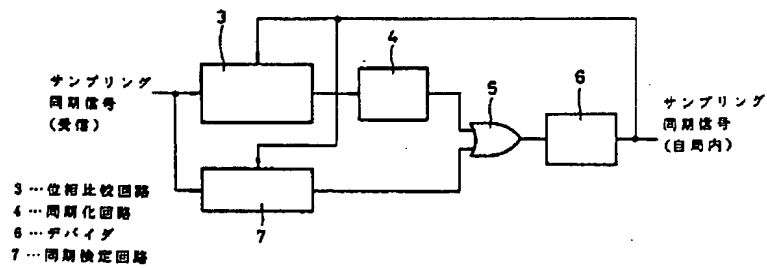
4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は実施例における従属同期のタイムチャート、第3図は実施例における従属同期のタイムチャート、第4図はループ伝送のシステム構成図である。

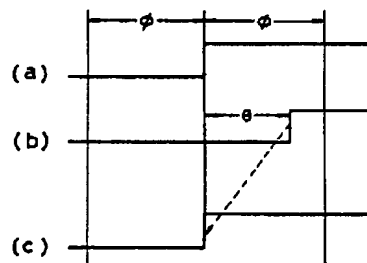
3…位相比較回路、4…同期化回路、6…デバイダ、7…同期検定回路。

代理人 志 賀 富 士 弥 
外 2 名

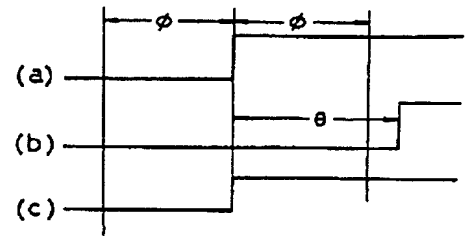
第1図
実例の回路図



第2図
従属同期のタイムチャート



第3図
強制同期のタイムチャート



第4図
ループ伝送のシステム構成図

